

**WEST**

Generate Collection

Print

L6: Entry 1 of 1

File: JPAB

Feb 7, 1984

PUB-NO: JP359023541A

DOCUMENT-IDENTIFIER: JP 59023541 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: February 7, 1984

## INVENTOR-INFORMATION:

NAME

COUNTRY

BONSHIHARA, MANABU

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

APPL-NO: JP57133221

APPL-DATE: July 30, 1982

INT-CL (IPC): H01L 21/82; H01L 21/88; H01L 27/10

## ABSTRACT:

PURPOSE: To obtain a semiconductor device which can be operated at a superhigh speed by providing a voltage variation compensation by an inductance and a capacity for preventing the entrance of  $\alpha$ -rays on a semiconductor element.

CONSTITUTION: Internal wirings 3 and electrode pads 6 are formed through SiO<sub>2</sub> films 2, 4 on an Si substrate 1, an SiO<sub>2</sub> film 5 is covered, and a ground terminal 6a, a power terminal 6b and an electrode pad 6 are exposed. Aluminum 7 of high purity which contains no U, Th is covered, connected to the terminal 6a, the aluminum 7 except the part for forming a ground pad 7a is anodically oxidized to form an insulating film 8. A window is opened on the terminal 6b, an aluminum layer 9 which is connected to the terminal 6b is formed on the aluminum 7 on the film 8, and the part on the terminal 6b is used as a power electrode pad 9a. A capacity is formed of the film 8, the aluminums 7, 9, and further laminated to increases the capacity. According to this structure, the influence of the inductance of length of the external lead or the lead,  $\alpha$ -rays from the exterior is shielded by the aluminum electrode, and the device which can be operated at superhigh speed which cannot be heretofore obtained is obtained.

COPYRIGHT: (C) 1984, JPO&amp;Japio

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—23541

⑬ Int. Cl.<sup>3</sup>  
H 01 L 21/82  
21/88  
27/10

識別記号

庁内整理番号  
6655—5 F  
6810—5 F  
6655—5 F

⑭ 公開 昭和59年(1984)2月7日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑮ 半導体装置

東京都港区芝五丁目33番1号日  
本電気株式会社内

⑯ 特 願 昭57—133221  
⑰ 出 願 昭57(1982)7月30日  
⑱ 発 明 者 盆子原學

⑲ 出 願 人 日本電気株式会社  
東京都港区芝5丁目33番1号  
⑳ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称  
半導体装置

2. 特許請求の範囲

外部引出し用電極パッド群を有する半導体素子と、該半導体素子の内部配線を含む素子領域を第1の絶縁膜を介して覆い少くとも一部が前記電極パッド群中の第1の特定電極パッドに接続する第1の導電層と、少くとも前記第1の導電層を覆って設けられた第2の絶縁膜と、前記第2の絶縁膜上でかつ第1の導電層上に設けられ一部が前記電極パッド群中の第2の特定電極パッドに接続する第2の導電層とを含むことを特徴とする半導体装置。

3. 発明の詳細な説明

本発明は $\alpha$ 線及び励磁器ノイズに耐性のある半導体装置に関する。

集積回路半導体装置は集積密度が大となり、ますます高い動作速度で作動するように開発されている。例えば、半導体メモリやコンピュータ用半導体論理ゲート回路では各々のゲート素子又はメモリ素子数が極めて大きな数となっており、素子自体もミクロン又はサブミクロンの大きさになってきている。

従って、これらの半導体装置では、駆動用電源の安定電位維持は信頼性を高める上で極めて重要な事項となっている。更に、信号の高速処理実現のため半導体素子部の電荷移動係数は出来るだけ小さくして動作させることが重要である。

これらの重要な事項に対し、物理的に存在する自然現象即ち、自然界に存在するUやT<sub>h</sub>から発生する $\alpha$ 線の存在と、電子装置を形成する上で必要となる他の回路との結合配線によるインダクタンスの存在が重要な関係を有する。

これらの内、インダクタンスの存在の影響を低下させる手段としては、半導体装置を電子装置に実装する際に電源ラインとグラウンドラインの延長

配線上、又はリード或いはパッケージにキャパシタを入れて電源電位の変動を少なくすることが一般に行われている。この例としては、実公昭56-53558や特公昭57-10577に開示されている。

しかしながら、半導体素子の電位からリードまでのインダクタンスの影響については解決されていない。又 $\alpha$ 線による半導体素子内でのイオン対形成の防止については、これまでポリイミドやシリコンを半導体素子表面上に塗布して行っていたが、樹脂コートによる生産性の悪さや生産歩留り低下、樹脂収縮歪による特性変動及びコストの上昇を避けられないという欠点があった。

本発明の目的は、上記欠点を除去し、半導体素子上にインダクタンスによる電位変動補償と $\alpha$ 線の侵入防止を兼ね備えたコンデンサを設け、超高速動作可能にした半導体装置を提供することにある。

本発明の半導体装置は、外部引出し用電極パッド群を有する半導体素子と、該半導体素子の内部

配線を含む素子領域を第1の絶縁膜を介して覆い、少なくとも一部が前記電極パッド群中の第1の特定電極パッドに接続する第1の導電層と、少なくとも前記第1の導電層を覆って設けられた第2の絶縁膜と、前記第2の絶縁膜上でかつ第1の導電層上に設けられ一部が前記電極パッド群中の第2の特定電極パッドに接続する第2の導電層とを含んで構成される。

本発明の半導体装置を製造する場合は、一般の半導体装置の製造工程で最上層の絶縁膜及び電極パッドを形成するまでは同一である。従ってまず半導体装置の内部配線及び電極パッドの形成につき説明する。

能動素子を設けたシリコン基板の上に $\text{Al}$ 又は $\text{Si}$ や $\text{Cu}$ を含んだアルミニウムメタライズを施し、写真蝕刻法等により内部配線及び電極パッドを形成する。一般にはこの上に絶縁膜を形成するが、この場合は電極パッド部の絶縁膜をエッチングし電極パッドを露出させる。

内部配線形成用の金属としては上記した金属の

外に $\text{Ti}$ 、 $\text{Pt}$ 、 $\text{Au}$ 、 $\text{Mo}$ 、 $\text{W}$ 等が用いられる。又内部配線を多層で形成する場合は配線間の絶縁膜として、 $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{Al}_2\text{O}_3$ 、リンガラス、ポリイミド等が用いられる。

最上層の絶縁膜をポリイミドコート法で行う場合には、ポリイミドをコートした後高温で重合反応を行った後エッチング処理を行なう。

次に本発明を図面を用いて詳細に説明する。

第1図(a)、(b)は本発明の一実施例の平面図及び $A-A'$ 断面図である。

前述の内部配線及び電極パッドの形成方法により、シリコン基板1上に絶縁膜2、4を介して内部配線3と電極パッド群6を形成したのち第1の絶縁膜5を全面に形成する。そしてグランド電極端子6a、電源電極端子6b及び電極パッド6が露出するように第1の絶縁膜5にスルーホールを形成する。

次に、 $\alpha$ 線を放射する $\text{U}$ や $\text{Tb}$ を含まない高純度の $\text{Al}$ 、 $\text{Ti}$ 、 $\text{Ta}$ 等の陽極化成の可能な材料を用い第1の導電層7を、内部配線領域を含みグラ

ンド電極端子6aに接続するように形成する。その後、グランド電極パッド7aを形成する部分を除き、第1の導電層7を陽極化成しその表面に第2の絶縁膜8を形成する。第2の絶縁膜8を化成膜でなく、他の絶縁物で形成する場合は第1の導電層は $\text{Cu}$ や $\text{Mo}$ 等でもよい。

次に電源電極端子6b上の絶縁膜5にスルーホールを形成したのち、第2の絶縁膜8上でかつ第1の導電層7上に位置し、電源電極端子6bに接続する第2の導電層9を形成する。この場合、電源電極端子6b上に形成される導電層部分が電源電極パッド9aとなる。

この第2の導電層9は第1の導電層7の場合と同様に $\alpha$ 線を放射しない金属を用いる必要がある。

第2図は本発明の他の実施例の断面図である。周辺の電極パッド周囲にもキャパシタを設けその容量をふやし最上部に絶縁膜10を設けたものである。

以上のように形成された半導体装置には第2の絶縁膜8と導電層7、9によりコンデンサが形成

される。キャパシタの容量を更に増大させるには、該当する電極端子部上の絶縁膜にスルーホールを設け導電層・絶縁膜・導電層と交互に積層すればよい。

又、半導体装置の駆動電源が一種類の電位でない場合は、それぞれの同一電源端子パッドに相当するキャパシタ構成導電層を積層すればよい。

本発明の応用例として、内部配線上にCuやAgのような熱伝導性のよい材料を用いて導電層を形成すれば、高放熱型半導体装置も得られるし、或はこの導電層に共通のグランド電極端子又は電源電極端子を接続すれば、それだけ半導体チップ内の電極パッド数や外部との接続数を減らすことが可能となり、より高密度の半導体装置が得られる。

以上詳細に説明したように、本発明によれば、半導体素子上に極めて容量の大きな減結合キャパシタが設けられた半導体装置が得られる。従って、この半導体装置は従来から行われていた外部リード又は、パッケージ搭載型キャパシタよりも配線リード長分だけインダクタンスの影響が小さくな

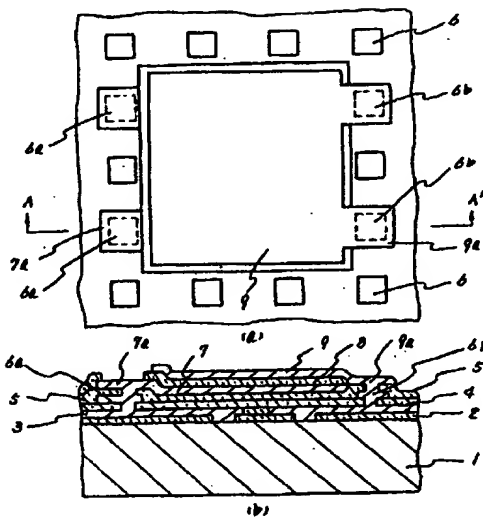
る利点がある上に、半導体素子表面上から侵入してくる自然界の $\alpha$ 線がキャパシタを構成する導電層によりシャヘいされ、能動素子部に影響を与えない効果がある。これにより従来では得られなかった超高速半導体メモリや超高速論理LSI等の半導体装置を得ることができその効果は大きい。

#### 4. 図面の簡単な説明

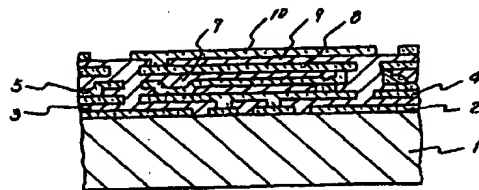
第1図(a), (b)は本発明の一実施例の平面図及び断面図、第2図は本発明の他の実施例の断面図である。

1……シリコン基板、2, 4……絶縁膜、3……内部配線、5……第1の絶縁膜、6……電極パッド群、6a……グランド電極端子、6b……電源電極端子、7……第1の導電層、7a……グランド電極パッド、8……第2の絶縁膜、9……第2の導電層、10……絶縁膜。

代理人 弁理士 内 原 賢



第1図



第2図